SEARCH MENU

NDEX

BACK DETAIL

NEXT



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06233122

(43)Date of publication of application: 19.08.1994

(51)Int.Cl.

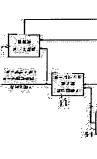
HO4N 1/40 GO6F 15/68

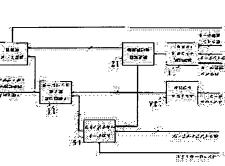
KOJIMA HIDEYUKI RICOH CO LTD (71)Applicant: (72)Inventor: (21)Application number: 05017308 (22)Date of filing. 04.02.1993

(54) IMAGE PROCESSOR

(57)Abstract:

based on an error dispersing method or a binary error processor enables binary error dispersion processing and an input data multiplexer 16 for dither data and dispersion processing circuit. Otherwise, this image case of integrating an image processing part based suppresses the increase of a space and cost at a processing by providing a dither data input means PURPOSE: To provide the image processor which dispersion processing part in the same processor. providing the quantizing comparator for multilevel on a dither method and an image processing part minimum by sharing a common circuit part in the comparator 14 for binary output in a binary error dispersion processing part and a multilevel error error dispersion processing data at a quantizing CONSTITUTION: This image processor enables binary error dispersion processing and dither and multilevel error dispersion processing by





addition to the quantizing comparator for binary output of a binary error diffusion processing output and an encode means for this quantizing comparator output for multilevel output in arithmetic part 12.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection

[Kind of final disposal of application other

than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

NDEX SEARCH MENU

DETAIL

(1) 田林田林群币 (1b)

(11) 特許出關公開番号 (m)公開特許公報(A) 特開平6-23312

平成6年(1994)8月19日 (43) 公開日

占

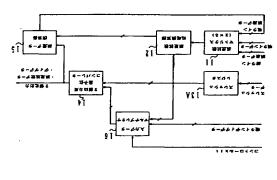
(51) Int. CI.		觀別記号	广内整理番号	FI	技術表示图
H 0 4 N	1/40	В	9068-5C		
GOGF	15/68	320 A	320 A 1111-5L		

	糖產額來	未費水	審査請求 未費求 耐水項の数5	0.L	(全12月)	
(11) 出願番号	特爾平5-17308	-17308		(71) 出版人 000006747	000006747	
(11) 出願日	平成5年	平成5年(1983) 2月4日	82		株式会社リコー 東京都大田区中馬込!丁目3番6号	
				(72) 発明者	小崎 秀行 東京都大田区中間以1下目1乗6号 株:	⊕ ##
					2011年11日 12日 12日 12日 12日 12日 12日 12日 12日 12日	1
				(74) 代理人	弁理士 磯村 雅俊	

(54) 【発明の名称】画像処理装置

共通回路部分を共用可能とし、スペース,コストの増加 【目的】 ゲィサ法に基クへ画像処理部と賦整拡散法に 覧力へ画像処理部、もしへは、2値標単拡散処理部と多 趙誤妻拡散処理部とを同一装置内に組み込むに際して、 を最低限に抑制した画像処理装置を提供すること。

【構成】 2 値誤差拡散処理回路の出力用量子化コンパ と隅豊広散処理データとの選択手段 16を設けたことを 特徴とする2値属差拡散処理とディザ処理とが可能な画 像処理装置、もしくは、2値誤差拡散処理回路の2値出 カ用量子化コンパレータに加えて、多億出力用量子化コ ンパレータと該多値出力用量子化コンパレータ出力のエ ンコード手段を設けたことを特徴とする2値誤選拡散処 ノータ 14に、ディザデータ入力手段と、ディザデータ 阻と多値調差拡散処理とが可能な画像処理装置。



「超米母1】 2 色球翅対戦的関ツ2 倍ディが的国ンか 可能な画像処理接層であって、2 値誤差拡散処理回路の と、ディザデータと誤蛊拡散処理データとの選択手段を 出力用量子化コンパレータに、ディザデータ入力手段 投げたことを特徴とする画像処理被置。

[0003]

の2値出力用量子化コンパレータに加えて、多値出力用 **電子化コンパレータと数多値出力用量子化コンパレータ** 出力のエンコード手段を設けたことを特徴とする画像処 【請求項2】 2億路差拡散処理と多値概差拡散処理と が可能な画像処理装置であって、2億路差拡散処理回路

2 値ディザ処理および多値ディザ処理が可能な画像処理 校置であって、2 値解 登拡散処理回路の2 億出力用量子 **化コンパレータに、ディザデータ入力手段と、ディサデ** ータと構芸拡散処理データとの選択手段を設けるととも に、多億出力用量子化コンパレータと該多億出力用量子 化コンパレータ出力のエンコード手段を設けたことを特 【翻求項3】 2 値誤登拡散処理と多値誤登拡散処理と 散とする画像処理接置。

【請求項4】 前記各処理結果の出力と未処理データと の選択を行うための出力データ選択手段を設けたことを **帯徴とする鹬杉屋 1~3のいずれかに記載の画像処理装** 【静水項5】 前記各処理に起因する遅延時間を調整す るための手段を備えたことを特徴とする請求項1~4の いずれかに記載の画像処理装置。

【発明の詳細な説明】 [0000] 【産業上の利用分野】本発明は、2 値誤差拡散処理機能 首群登拡散処理に加えて2値および多値ディザ処理また を有する回路に簡単な回路を付加する構成によって、2 は多値解登拡散処理等を可能とする多機能の画像処理数 間に関する。

[0002]

は、特関平2-11063号公報参照]も提案されている。上記 **た誤差を周辺の画案に分散する誤差拡散法という手法か** 【従来の技術】従来から、ディジタルブリンタ,ディジ タルファクシミリ装置等における中間関画像の再現する ある。前者では、表現できる階関数がディザマトリクス により樹限されてしまい、例えば、この階周数が16階 **睭程度の場合には、出力画像に擬似輪郭が生じてしまう** という問題があった。なお、後者ではこのような問題の 発生はなく、解像度,階間ともにディザ法よりも優れて いる。しかし、近年、後者の技術においても、原稿の濃 それが線状につながって画像の品質を低下させるという ための2値化手法として、閾値に周期的に変動するディ ザマトリクスを用いるディザ法と、2値化処理で発生し 度が低い場合、再生画像中にドットが近接して発生し、 問題があることが指摘され、これに関する対策(例え

特隅平6-233122

8

公報に関示された技術は、通常の概差データの演算手段 に加えて、入力画像に無関係に誤登データを発生する手 **戦を有し、人力回像の特徴を判別してどちらの誤差ゲー** タを用いるかを選択可能としたものである。

一接置内に組み込み、これらを適宜、使い分けるように した構成もあった。しかし、これらの2種類の画像処理 **即を同一装置内に組み込むことにも、スペースを必要と** すること、コストアップにつながること等々の問題があ った。本発明は上記事情に鑑みてなされたもので、その 目的とするところは、従来の技術における上述の如き間 **虹散法に基づく画像処理部、もしくは、2値誘差拡散処 母部と多値観差拡散処理部とを同一被置内に組み込むに** 際して、共通回路部分を共用可能とし、スペース,コス 県 芸 世 散 法 に 基 づ く 画 像 処 理 部 と を 同 一 装 置 内 に 組 み 込 み、これらを適宜、使い分けるようにした構成が一般的 コストアップにつなかること等々の点で、問題が多かっ た。また、従来の通信按置においては、2.値誤塑拡散処 理用画像処理部と多値誤豊拡散処理用画像処理部とを同 **配を解消し、上述のディザ法に基づく画像処理部と誤差** トの増加を最低限に抑制した画像処理接置を提供するこ **!発明が解決しようとする群題】ところで、従来の通信** 被置においては、上述のディが法に基めく画像処理部と **たあった。しかし、これらの2種類の画像処理部を同一 鞍置内に組み込むことは、スペースを必要とすること,** 2

一タとの選択手段を般けたことを特徴とする2値誤差拡 【課題を解決するための手段】本発明の上記目的は、2 ィザデータ入力手段と、ディザデータと概差拡散処理デ は、2値概整拡散処理回路の2値出力用量子化コンパレ **ータに加えて、多値出力用量子化コンパレータと該多値** たことを特徴とする 2 値誤差拡散処理と多値誤差拡散処 出力用量子化コンパレータ出力のエンコード手段を設け 散処理とディザ処理とが可能な画像処理装置、もしく 値誤登拡散処理回路の出力用量子化コンパレータに、 理とが可能な画像処理装置によって達成される。 [0000] [0004] 2

す。図6に示される2個観差拡散処理回路は、誤差拡散 2, スレッシュレジスタ 13, 2億出力用量子化コンバ 処理回路およびディザ処理回路について説明する。図6 いた、観想拡散マトリクス(3×5)11は、図8に示す 如く、誤豊データをマトリクス状にラッチするブロック 【作用】まず、従来技術で使用されている2億誤差拡影 レータ14,慰豊データ演算部15から構成される。こ であり、誤差拡散処理演算部12は、図9に示す如く、 に従来技術で使用されている2値誤差拡散処理回路を、 往目画素に誤差データを加算するブロックである。ま 図7に従来技術で使用されているディザ処理回路を示 マトリクス(例:2×5)11, 転差拡散処理演算部1 S 2

【0006】上述の如く構成された従来技術で使用され ている2値誤差拡散処理回路によれば、前ライン誤登デ **ータと現ラインデータとから、2値化出力としての誤**蓋 **试散データを得ることができる。一方、図7に示される** ディザ処理回路は、スレッシュレジスタ21,2億出力 するブロックであり、これも構造的には図6に示した2 館出力用量子化コンパレータ 14と同じものである。上 述の如く構成された従来技術で使用されているディザ処 用量子化コンパレータ22から構成される。 スレッシュ と、スレッシュレジスタ21の出力である閾値とを比較 レジスタ21は、スレッシュデータ (ディザマトリクス 関値)を格納するレジスタであり、構造的には図6に示 理回路によれば、ディザデータとスレッシュデータ(デ ィザマトリクス國値)とから、2位化出力としてのディ したスレッシュレジスタ13と同じものである。また、 2値出力用量子化コンパレータ22は、ディザデータ ザデータを得ることができる。

出力用量子化コンパレータ14と22は、いずれも、同 **じ機能を有するプロックである。本発明に係る画像処理** 装置においては、この点に着目して、従来技術で使用さ れている2億誤差拡散処理回路に、スレッシュレジスタ 量子化コンパレータ用の2種類とし、これらの切換え手 師と観登拡散法に基づく画像処理部とを同一装置内に組 み込む時の、スペース、コストの増加を最低限に抑制し た画像処理接置を実現したものである。 2 値誤差拡散処 への供給閾値と、2値出力用量子化コンパレータへの供 **給データを2値隔蔓拡散処理用とディザ処理2値出力用** 段を導入することにより、スレッシュレジスタと 2 値出 カ用量子化コンパレータとの共用化を可能としたもので **理と多値誤差拡散処理との兼用回路についても同様であ** ある。そして、これにより、ディザ法に基づく画像処理 [0007] 前述の如く(図6および図7を比較しても 明らかな如く)、スレッシュレジスタ13と21,2億

【実施例】以下、本発明の実施例を図面に基づいて詳細に設明する。図1は、本発明の一実施例に係る画像処理 で設明する。図1は、本発明の一実施例に係る画像処理 数個のブロック構成図である。図において、記号 1.1, 12,14および15は図6に示したと同じ構成要素を 示しており、13Aは前述のスレッシュレジスタ13と

[0008]

2 1に格納されるスレッシュデータの両方を格納しているスレッシュレジスタ、また、16は入力データマルチアレクサである。入力データマルチブレクサ16は、次段の2値出力用量子化コンパレータ 14への入力現ラインデータを、ディサ処理用データとするが終患拡影処理用データとするが複談を指する。なお、この切換え動作は、例えば、操作者からの指示に基づくコントロールといえる。本英語例に係る画像処理装置・ロールによる。本英語例に係る画像処理装置・

は、既存の2館縣登並散処理回路のスレッシュレジスタと2億出力用量子化コンパレータとを利用して、2値ディサ出方をも同能としているものである。いずれの出力を何らかは、上述の如く、例えば、操作者からの指示に基づくコントロールピットによって定まる。

【0009】図2は、本発明の他の実施例に係る画像処 職装層のブロック構成図である。図において、記号 1

量子化コンパレータ17は、図5に示したスレッシュ比 と可変値 (スレッシュレジスタ 13Aの出力) との和とな コンパレータ17の出力(「0」や「1」が) を、エンコード 素を示しており、また、17は多値出力用量子化コンパ 較回路を、n階調の場合(n-1)個有するブロックであ る。なお、エンコーダ18は、上述の多値出力用量予化 四と早かにともたまる。図10に、この動作の観題図を 示す。本実施例に係る画像処理装置は、既存の2値誤差 拡散処理回路に多値出力用量子化コンパレータとエンコ **一ダとを追加して、2値誤豊拡散処理出力に加え多値誤** 1, 12, 13A, 14, 15は図6に示したと同じ構成要 レータ、18はエンコーダである。ここで、多値出力用 り、スレッシュ値は、固定値 (個々の回路で段階的な値) して多値データにするブロックであり、多値データ生成 豊拡散処理出力をも可能としているものである。 20

[0010]なお、上記実施例に係る画像処理装置の特有の効果としては、2値部登近院処理した債報を画像通信に用い、多値解登址散心理した債報はコピーに用いるという使用方法がある。これは、競み取り画像情報をSAF(Slore and Forward)メモリに踏張しておぎ、最初に2値解登近散処理した回像情報をSAF(Slore and Forward)メモリに踏張しておぎ、最初に2値解登近散処理した回像情報を送信した後、SAF(ンのの再度総み出して多値線登址散処理し、品質の優れたコピーを何るというような使い方が可能になる。図3も、本発明の他の実施例に係る画像処理数層の

プロック構成図である。図中、記号11~18は図1、図2に示したと同じ構成要素を示している。本実施図に係る画像処理装置は、既存の2値総差批約処理回路のスレッシュレジスタと2値出力用量子化コンパレータとを利用して、2値接差拡影処理出力。2値ディが出力を可能とすると同時に、多値出力用量子化コンパレータとエソコーダとを追加して、多値線差拡散処理出力。多値ディが出力を可すが出力を可能とすると同時に、多値形とがある。

(0011) 図4は、本発明の更に他の実施例に係る画像処理技匠の構成を示すプロック構成図である。図中、 10 記号11~18は図1,図2に示したと同じ構成要素を

可している。また、19はディザ処理または解認拡散処理後の多箇データと現うインデータ (米加工生データ)とを破択する出力データンチでかる。本実施のたぼする関係処理を関、既存の2値辞差批評処理回路に、等値出力用量子にコンパレータとエンコードおよび出力データでルチブレクサを追加して、多値模型拡散処理出力・タマ・ナブレクサを追加して、多値模型拡散処理出力・ラマルナブレクサを追加して、各種処理を施こさない生力・多をも出力に加えて、各種処理を施こさない生力・多をも出力に加えて、各種処理を施こさない。由中では特に添くなかったが、各実施例の複数の出力の間にはタイミングの不一般が生ずる可能性もあるので、10名出力の処理タイミングを合わせるために、通宜、ラッチ等を挿入することか必要な場合もある。

[0012]これば、例えば、従来の2値鉄登址散処理的と2億万・ケルが四部を別々に備えた画像処理接層においても、処理ルートが関なることから生ずるタイミング 補正を行っていたことの様であるが、相違点は、従来 が国にかけっていたことの様であるが、相違点は、従来合せせいたのに対して、本発明に張る構成を探視と呼ばからしませていたのに対して、本発明に係る構成を採用した合けせていたのに付けせることにより、CPUの介在を不要大力ものに合わせることにより、CPUの介在を不要大力もことが可能になった点である。また、上記各実版例は本発明の一例を示したものであり、本発明はこれらである。

(発明の効果)以上、詳細に説明した如く、本発明によれば、ディザ法に基づく画像処理部と原設拡散法に基づく画像処理部と原設対策がに基づく画像処理部と多値競毀対影処理部と多値競毀対影処理部とを同一数層内に組み込むに際して、共通回路部かを共用口能とし、スペース、コストの増加を厳極級に対断した画像処理被置を実現をきるという数帯な

(4) 特閥平6-233122

効果を奏するものである。 【図面の簡単な説明】 【図1】本発明の一実施例に係る画像処理装置のブロック構成図である。

【図2】本発明の他の実施例に係る画像処理装置のプロック構成図である。

アイギが当ている。 【図3】本発明の他の実施例に係る画像処理装置のプロック構成図である。

[図4] 本発明の他の実施例に係る画像処理装置のプロック構成図である。 アルギャ (図4) 土田 (図4) 土田 (図4) 土田 (図4) 土田 (図5) 土田 (図5

【図5】実施例で用いた多値出力用量子化コンパレータを構成するスレッシュ比較回路の説明図である。 (図6) 従来技術で使用されている2値線整拡散処理回

す図である。 [図8] 従来使用されている2億悶急拡散処理回路の構成専製をある路尋拡散で、10×51を示す

成要報である鍋盘並散マトリクスの一例(2×5)を示す 図である。 10 (図9) 従来使用されている2館婦差並散処理回路の構成要表である鍋差並除処理画路の構成表表である鍋差並能処理簿算的の一例を示す図であ

- 1 【図10】実施例で用いたエンコーダ (多値データ生成的) の機能を説明する図である。

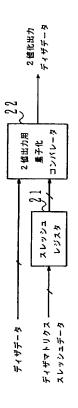
[符号の説明]

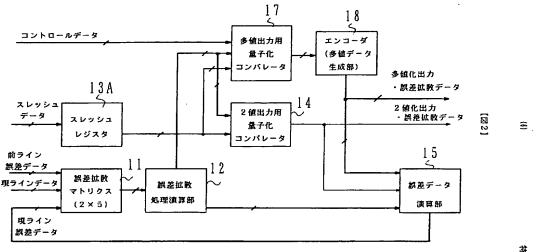
(0013)

11: 蘇登拡散マトリクス (例: 2×5)、12: 蘇登拡 野処理衛算部、13, 13 A: スレッシュレジスタ、1 4: 2 値出力用量子化コンパレータ、15: 懸恕データ 満算部、16: 入力データマルチブレクサ、17: 多値 30 出力用量子化コンパレータ、19: 30

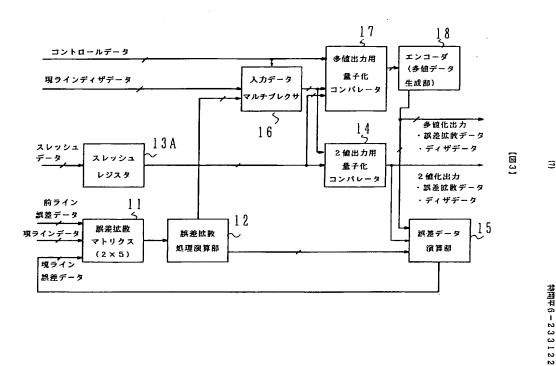
出力データマルチプレクサ。

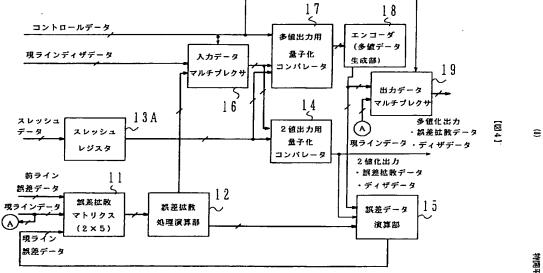
[区]

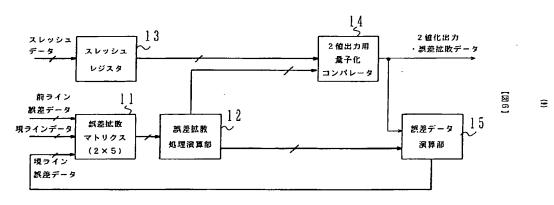


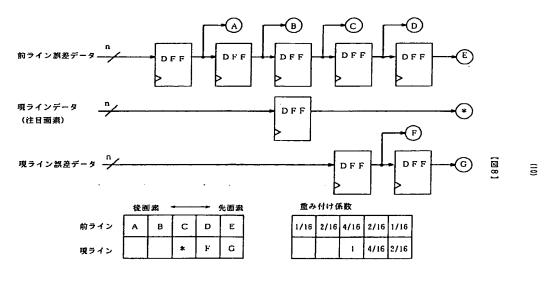


特開平6-233122









A~G: 誤差,*: 現(注目) 國衆. Z:演算結果 Z=*+1/16·(A+2B+4C+2D+E+4F+2G) ·····(1)

3 bi tの2進数に変換

0:データ≦スレッシュ 1:データ>スレッシュ

Yn:コンパレータの出力

b2 b1 b0

Y7 Y6 Y5 Y4 Y3 Y2 Y1
0 0 1 1 1 1 1 1

(1.2)

[22 1 0]

 \equiv

特閥平6-233122